

(4) Japanese Patent Application Laid-Open No. 62-248248 (1987)

“Semiconductor Memory Device”

The following is an extract relevant to the present invention:

5

This invention provides for formation of a semiconductor memory device which includes: a semiconductor substrate of one conductivity type including a highly-doped impurity region and a lightly-doped impurity region on the highly-doped impurity region; a MOS transistor for reading out a signal, which is  
10 formed on the lightly-doped impurity region of the semiconductor substrate; a trench formed adjacent to a source region of the MOS transistor so as to extend into the highly-doped impurity region of the semiconductor substrate; first and second parts of a capacitor; and a conductive layer for a bit line, which is formed on the second part of the capacitor with an interlayer insulating film interposed therebetween and is  
15 electrically connected to a drain region of the MOS transistor. The first part of the capacitor includes: a dielectric part composed of a thin insulating film formed on an inner wall of the trench; and one of opposite electrodes composed of a portion of a first polysilicon layer which is buried in the trench and is electrically connected to the source region. The second part of the capacitor includes: a different portion of  
20 the first polysilicon layer which extends to a required portion; a dielectric part composed of a thin insulating film deposited on the different portion of the first polysilicon layer; and a second polysilicon layer electrically connected to the highly-doped impurity region of the semiconductor substrate.

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭62-248248

⑬ Int. Cl.

識別記号

庁内整理番号

⑭ 公開 昭和62年(1987)10月29日

H 01 L 27/10  
G 11 C 11/34

3 5 2

7735-5F

審査請求 未請求 発明の数 1 (全4頁)

⑮ 発明の名称 半導体記憶装置

⑯ 特 願 昭61-91185

⑰ 出 願 昭61(1986)4月22日

⑱ 発 明 者 三 井 真 司 門真市大字門真1006番地 松下電子工業株式会社内

⑲ 出 願 人 松下電子工業株式会社 門真市大字門真1006番地

⑳ 代 理 人 弁理士 星野 恒 司 外1名

明 細 書

1. 発明の名称 半導体記憶装置

2. 特許請求の範囲

高不純物濃度領域の上に低不純物濃度領域を有する一導電型半導体基板の前記低不純物濃度領域上に形成された信号読出用MOSトランジスタと、前記MOSトランジスタのソース領域に隣接して形成され前記半導体基板の高不純物濃度領域まで入り込んだトレンチと、このトレンチの内壁に形成された絶縁薄膜を誘電体とし、前記高不純物濃度領域及び前記トレンチ内を埋めかつ前記ソース領域に電気的に接続された第1のポリシリコン層を対向電極とする第1のキャパシタ部と、所要部分まで延設された前記第1のポリシリコン層、この上に積層された誘電体としての絶縁薄膜、前記半導体基板の高不純物濃度領域に電気的に接続された第2のポリシリコン層からなる第2のキャパシタ部と、この第2のキャパシタ部の上に層間絶縁層を介して形成され前記MOSトランジスタの

ドレイン領域に電気的に接続されたビットライン用導電層とからなり、前記第1のキャパシタ部と第2のキャパシタ部とをメモリセルキャパシタとすることを特徴とする半導体記憶装置。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、半導体記憶装置に係り、特に、情報記憶部にあたるメモリセルの構造に関するものである。

(従来の技術)

近年、半導体メモリ装置、特にDRAMの高集積化は目覚ましいものがある。このDRAMは、記憶情報を電荷の形で蓄えるキャパシタ及びこの電荷の読出し・書き込みを行なうスイッチングトランジスタからなるメモリセルをアレイ状に配列したメモリセルアレイと、周辺回路とを同一チップ内に形成した構成となっている。大容量化、高集積化が進むにつれて、メモリセルアレイがチップ面積の大半を占めるようになり、メモリセル単体を微細化することが大容量化、高集積化に不可欠

となった。このため、最近では、微細化しても充分な蓄積容量が確保できる第2図に示したようなトレンチキャパシタを有するメモリセルが採用されつつある。

このトレンチキャパシタは、Si基板21にトレンチを形成し、トレンチ内壁の半導体基板面およびそれに電気的に接続されるスイッチングトランジスタであるMOSトランジスタのソース部22を一方のキャパシタ電極とし、トレンチ内壁にキャパシタ絶縁膜23として酸化膜を成長させ、その上にキャパシタ電極のもう一方を担うセルプレート電極24として例えばポリシリコンを堆積させた構造となっている。記憶情報としての電荷は、前述のMOSトランジスタのON、OFFにより、トレンチキャパシタ部からソース部22を介してビットライン25の一部を構成するドレイン部26とでやりとりされる。なお、28はゲート酸化膜、29はゲート電極である。

(発明が解決しようとする問題点)

ところが、このタイプのメモリセルの問題とし

て、キャパシタ部を基板深部に埋め込まれたトレンチに形成しているため、キャパシタ部の実効面積が大きくなって蓄積容量は充分確保できるものの、キャパシタに“1”の情報が保たれている時、即ちソース部22とトレンチ内壁のSi基板21の表面が高電位状態にある時、これらの部分に空乏層27が拡がって、チップを収容しているパッケージ材料から放出される $\alpha$ 線がSi基板21を通過するときには発生する電子の収集量が増加し、同一蓄積容量の平面型セルキャパシタに比べてソフトエラー率が一倍以上も悪くなってしまうという問題があった。更に、隣接するセルキャパシタ間の保持情報が異なる場合、即ち、セルキャパシタ間に電位差が存在する場合、両セルキャパシタの空乏層がつながって電位勾配に起因したいわゆるパンチスルー電流が流れ、この電流がリーク電流となってDRAMの記憶保持能力を示すポーズタイム特性が劣化するという問題があった。

(問題点を解決するための手段)

上記問題点を解決するために、本発明は、高不

純物質領域の上に低不純物質領域を有する一導電型半導体基板の前記低不純物質領域上に形成された信号読出用MOSトランジスタと、そのMOSトランジスタのソース領域に隣接して形成され半導体基板の高不純物質領域まで入り込んだトレンチと、このトレンチの内壁に形成された絶縁膜を誘電体とし、高不純物質領域及びトレンチ内を埋めかつソース領域に電気的に接続された第1のポリシリコン層を対向電極とする第1のキャパシタ部と、所要部分まで延設された第1のポリシリコン層、この上に積層された誘電体としての絶縁膜、半導体基板の高不純物質領域に電気的に接続された第2のポリシリコン層からなる第2のキャパシタ部と、この第2のキャパシタ部の上に層間絶縁層を介して形成されMOSトランジスタのドレイン領域に電気的に接続されたビットライン用導電層とから構成されるものである。

(作用)

この構成によれば、メモリセルキャパシタの容

量は、半導体基板の高濃度領域と第1のポリシリコン層との間のトレンチ部の容量と、第1のポリシリコン層と第2のポリシリコン層との間の平坦部キャパシタの容量の和となり、キャパシタが高電位になった場合でも、高濃度基板によって、キャパシタ部の空乏層の拡がりが無くなり、 $\alpha$ 線により発生する電子の収集量が激減し、隣接するセル間のパンチスルー電流も抑制される。更に2つのキャパシタの並列結合によって、従来のトレンチキャパシタに比べ、著しい蓄積容量の増加となり、更にメモリセルの微細化が可能になる。

(実施例)

以下、実施例について図面を用いて説明する。第1図は、本発明の一実施例を示す半導体メモリ装置のメモリセル部の断面構造を示したものである。1は $10^{18}/\text{cm}^3$ 程度まで高濃度化したp型Si基板で、セルキャパシタ部の一方のプレート電極を担う。2はその上に成長させた、p型Si基板1より低濃度のp型Siエピタキシャル層である。3は寄生MOSトランジスタの発生を防ぐためのp型

分離拡散層、4はその上の分離酸化膜、5はスイッチングトランジスタであるMOSトランジスタのゲート酸化膜、6はそのゲート電極、7はドレイン $n^+$ 拡散部で、ビットラインに接続される。8はソース $n^+$ 拡散部、9は各電極間の層間絶縁膜、10a、10bはセルキャパシタ部の誘電体を構成する絶縁薄膜、11はポリシリコンからなるキャパシタ部のストレージ電極、12はポリシリコンからなるキャパシタ部の他方のプレート電極で、図示していないがSi基板1に電気的に接続されている。13はビットライン用のAl配線である。

以上のような構成のセルキャパシタは、トレンチ内に埋め込まれた第1のキャパシタ部分と、平面的に形成された第2のキャパシタ部分からなっており、従って高集積化に応じてメモリセル単体の寸法が縮小化されても、トレンチ深さと平面状の部分との適切な配分により、蓄積容量の絶対値を設計仕様に応じて調節することが可能である。またソース $n^+$ 拡散部8の面積を設計上及びプロセス上の許容限界まで小さくすることにより接合

拡散面積を低減できるため、リフレッシュ動作を決めるリーク特性の向上を図ることができ、さらに高濃度基板の採用でトレンチ内壁、基板側の空乏層の拡がりを充分抑制できるため、 $\alpha$ 線により発生する電子の収集量が減少するとともに、隣接するセル間のリーク電流も抑制される。

#### (発明の効果)

以上説明したように、本発明によれば、メモリセルの蓄積容量を増加させることができるとともに、ソフトエラー耐性も充分で、かつセル間リークを無視できる構造であり、微細化によって一層の高集積化、大容量化が実現できるものである。

#### 4. 図面の簡単な説明

第1図は、本発明の一実施例を示す半導体メモリ装置のメモリセル部の断面図、第2図は、従来のトレンチ構造のメモリセル部の断面図である。

1…高濃度p型Si基板、2…低濃度p型エピタキシャル層、3…素子分離用拡散層、4…素子分離用酸化膜、5…MOSトランジスタのゲート酸化膜、6…M

OSトランジスタのゲート電極、7…ドレイン $n^+$ 拡散部、8…ソース $n^+$ 拡散部、9…層間絶縁膜、10a、10b…キャパシタ絶縁薄膜、11…ストレージ電極、12…プレート電極、13…ビットライン用Al配線。

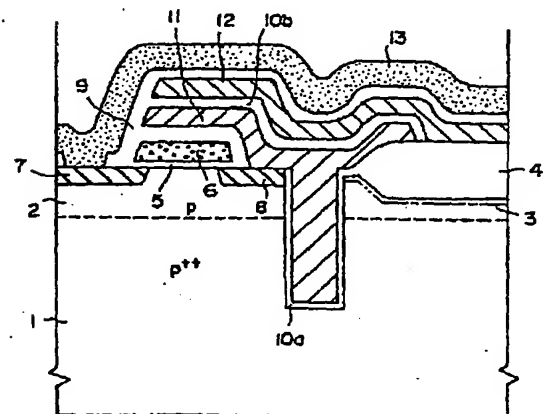
特許出願人 松下電子工業株式会社

代理人 星野恒司

岩上昇

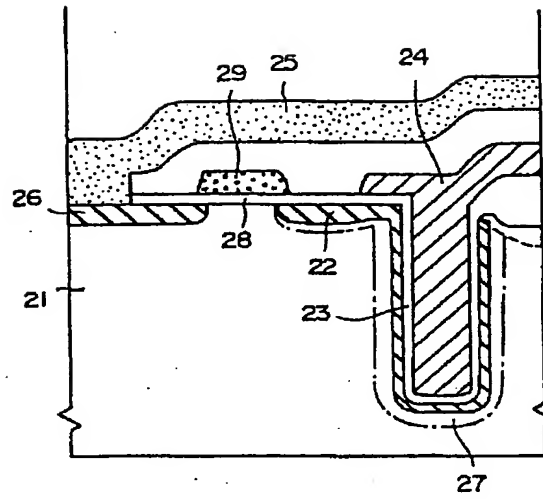


第1図



- |                 |                    |
|-----------------|--------------------|
| 1…高濃度p型Si基板     | 7…ドレイン $n^+$ 拡散部   |
| 2…低濃度p型エピタキシャル層 | 8…ソース $n^+$ 拡散部    |
| 3…素子分離用拡散層      | 9…層間絶縁膜            |
| 4…素子分離用酸化膜      | 10a, 10b…キャパシタ絶縁薄膜 |
| 5…ゲート酸化膜        | 11…ストレージ電極         |
| 6…ゲート電極         | 12…プレート電極          |
|                 | 13…ビットライン用Al配線     |

第 2 図



【公報種別】特許法第17条の2の規定による補正の掲載  
 【部門区分】第7部門第2区分  
 【発行日】平成5年(1993)10月29日

【公開番号】特開昭62-248248  
 【公開日】昭和62年(1987)10月29日  
 【年通号数】公開特許公報62-2483  
 【出願番号】特願昭61-91185  
 【国際特許分類第5版】

H01L 27/108

G11C 11/403

H01L 27/04 C 8427-4M

【F I】

H01L 27/10 325 D 8728-4M

G11C 11/34 352

## 手続補正書(自発)

平成4年8月28日

特許庁長官 麻 生 達 殿

1 事件の表示 特願昭61-91185号

2 発明の名称 半導体記憶装置

3 補正をする者

事件との関係 特許出願人

住 所 大阪府門真市大字門真1006番地

名 称 (584) 松下電子工業株式会社

代 表 者 植 上 一 郎

4 代 理 人

住 所 東京都港区西新橋3丁目3番3号  
ペリカンビル6階氏 名 (6308) 弁理士 武 田 元 敏  
電話 03 (3431) 8111番 (代表)

5 補正により増加する発明の数 0

6 補正の対象 明細書の特許請求の範囲及び発明の詳細な説明の図

7 補正の内容

(1) 特許請求の範囲を別紙の通り訂正する。

(2) 明細書第3頁第6～9行の「トレンチ内壁の半導体基板面およびそれに電気的に接続されるスイッチングトランジスタであるMOSトランジスタのソース部22を一方のキャパシタ電極とし、」を次のように訂正する。

「トレンチ内壁およびトレンチ周囲の一部の半導体基板表面にスイッチングトランジスタであるMOSトランジスタのソース部22を形成し、このソース部22を一方のキャパシタ電極とし、」

(3) 同第5頁第1～2行の「一導電型半導体基板」を「一導電型の半導体基板」に訂正する。

(4) 同第6～14行の「このトレンチの内壁に形成された……第2のキャパシタ部と、」を次のように訂正する。

「このトレンチの内壁に形成された第1の絶縁薄膜を誘電体とし、トレンチ内を埋めかつソース領域に電気的に接続された第1の導電層と半導体基板内の高不純物濃度領域を対向電極とする第1のキャパシタ部と、所要部分まで延設された第1の